

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 41 23 007 A 1**

⑤1 Int. Cl.⁵:
H 04 L 25/38
H 04 L 25/50
H 04 L 5/22

⑳ Aktenzeichen: P 41 23 007.8
㉔ Anmeldetag: 11. 7. 91
㉕ Offenlegungstag: 14. 1. 93

DE 41 23 007 A 1

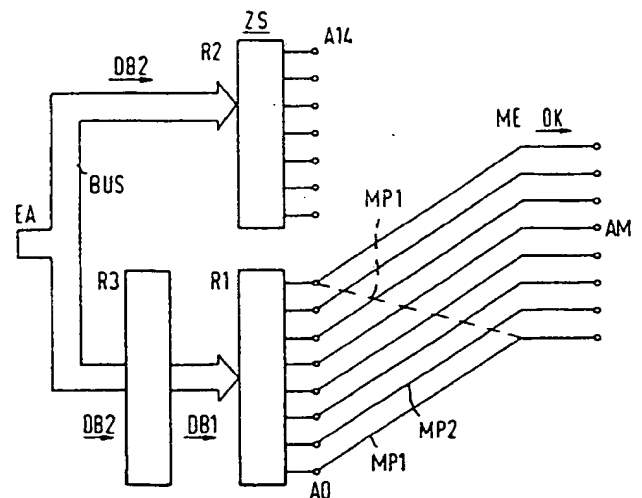
㉑ Anmelder:
Siemens AG, 8000 München, DE

㉒ Erfinder:
Pitz, Stefan, 6676 Heckendalheim, DE

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Verfahren und Anordnung zur Anpassung von Datenraten

⑤7 Bei diesem Verfahren werden jeweils mehrere Eingangswörter (DB1, DB2) in Registern (R1, R2) eines Zwischenspeichers (ZS) gespeichert.
Eine Multiplexeinrichtung (ME) wird durch die Anzahl (AB) der Datenbits der Ausgangswörter (OK) so gesteuert, daß die Datenbits von einem oder mehreren Eingangswörtern (DB1, DB2...) aneinandergereiht werden. Durch Verändern der Anzahl der Datenbits in einem Synchronisierwort (SB) erfolgt die Anpassung der Taktfrequenzen zwischen den Eingangswörtern und dem Pulsrahmen der Ausgangswörter.



DE 41 23 007 A 1

Beschreibung

Die Erfindung betrifft ein Verfahren zum Anpassen von Datenraten nach dem Oberbegriff des unabhängigen Verfahrensanspruchs.

Die Erfindung betrifft ferner eine zur Durchführung des Verfahrens geeignete Schaltungsanordnung nach dem Oberbegriff des unabhängigen Anspruchs 5.

Zur Anpassung von nahezu gleichen mittleren Datenraten ohne Taktsynchronisierung wird das Stopfverfahren verwendet. Bei serieller Verarbeitung werden innerhalb eines Impulsrahmens bei dem sogenannten Positiv-Null-Negativ-Stopfen zwei Zeitschlitze verwendet, in denen wahlweise kein, ein oder zwei Bits übertragen werden (CCITT, Recommendation G.753). Ein entsprechendes Verfahren wird auch bei byteweiser Verarbeitung mit einem oder mehreren Stopfbytes durchgeführt (CCITT Recommendation G.709).

Um unnötigen Jitter zu vermeiden, wird möglichst nur ein Bit als Stopfbit vorgesehen. Andererseits muß jedoch auch eine Anpassung bei größeren Unterschieden in den Datenraten vorgenommen werden können. In den Schaltungsanordnungen wird zur Durchführung des Stopfens der Bittakt verwendet. Dies ist jedoch bei hohen Datenraten bedingt durch die Laufzeiten der Schaltungen problematisch und macht die Verwendung von Schaltungstechnologien mit hohem Stromverbrauch erforderlich.

Aufgabe der Erfindung ist es, ein Verfahren zur Anpassung von Datenraten durch Stopfen anzugeben, daß mit geringem Schaltungsaufwand unter Verwendung des Worttaktes zu realisieren ist.

Außerdem ist eine geeignete Anordnung anzugeben.

Die Aufgabe wird durch die in dem unabhängigen Verfahrensanspruch angegebenen Merkmale gelöst. In einem unabhängigen Schaltungsanspruch ist eine geeignete Anordnung zur Durchführung des Verfahrens angegeben.

Vorteilhaft ist die einfache Durchführbarkeit des Verfahrens. Es ist sowohl durchführbar, wenn Eingangswörter und Ausgangswörter dieselbe Breite als auch unterschiedliche Breite aufweisen.

Vorteilhaft ist der geringe Schaltungsaufwand für eine Anordnung zur Durchführung des Verfahrens. Auch die verwendete Steuerung ist einfach aufgebaut.

Vorteilhafte Ausbildungen der Erfindung sind in den übrigen Unteransprüchen angegeben. Das erfindungsgemäße Verfahren und Anordnungen zu seiner Durchführung werden anhand von Ausführungsbeispielen näher erläutert.

Es zeigen:

Fig. 1 einen Pulsrahmen.

Fig. 2 ein Stopfkennungswort und ein Synchronisierwort mit einer unterschiedlichen Anzahl von Stopfbits.

Fig. 3 ein Prinzipschaltbild zur Durchführung des Verfahrens.

Fig. 4 ein Prinzipschaltbild zur Durchführung eines vereinfachten Verfahrens.

Fig. 5 ein Prinzipschaltbild eines Ausführungsbeispiels der Anordnung.

Fig. 6 ein Prinzipschaltbild einer Steuerung und

Fig. 7 in Prinzipschaltbildern die Umsetzung von Eingangswörtern in Ausgangswörter.

Ein in Fig. 1 dargestellter Impulsrahmen enthält außer Synchronisierungsinformation RKW, durch die der Rahmenanfang bestimmt wird, Zeitschlitze, in denen Ausgangswörter OK1, OK2, ... übertragen werden. Der Einfachheit halber sollen Eingangswörter DB (Datenby-

tes), die beispielsweise Abtastwerten entsprechen, und Ausgangswörter OK (Oktett) dieselbe Breite von beispielsweise einem Byte aufweisen. Außer den die Eingangswörter beinhaltenden Ausgangswörtern werden im Impulsrahmen unter anderem noch ein Stopfkennungsword SKB (ein Byte) und ein Synchronisierwort SB übertragen, das eine unterschiedliche Anzahl von Datenbits aufweisen kann.

In Fig. 2 ist das Stopfkennungsword SKB dargestellt. Es enthält 3 Bits an Stopfkennungsinformation SK, die angibt, ob gestopft werden soll (111, sonst 000). Drei Bits mit Stopfrichtungsinformation PN, durch die zwischen positivem und negativem Stopfen unterschieden werden kann, und zwei Bits an Stopfschrittinformation SS, die angibt, ob mit einem, zwei oder drei Bits gestopft werden soll. Diese Aufteilung des Synchronisierwortes ist jedoch nur ein Beispiel von vielen Möglichkeiten.

Das Synchronisierwort SB besteht ebenfalls aus acht Bits, wobei die beiden letzten Bits SI zur Übertragung von Sonderinformation dienen. Stimmen die Datenraten, genauer die Transferdatenraten, exakt überein, so werden stets drei Datenbits "b" innerhalb eines Synchronisierwortes SB1 übertragen. Bei positivem Stopfen, kann deren Anzahl um ein, zwei (SB2) oder drei Bits reduziert werden, bei negativem Stopfen kann die Anzahl der Datenbits um eins bis drei, also bis zu sechs (SB2) erweitert werden. Bei anderen Pulsrahmen wäre auch eine Ausnutzung des gesamten Synchronisierwortes (8 Bits) oder auch mehrerer Synchronwörter möglich.

Müßte kein Synchronisierwort und keine zusätzliche Information übertragen werden, dann wäre bei genauer Taktübereinstimmung jeweils einem Ausgangswort ein Eingangswort zugeordnet. Es wird jedoch ein Pulsrahmen zur Übertragung gewählt, der die Übertragung zusätzlicher Information, z. B. des Rahmenkennungswordes, gestattet und es außerdem zum Ausgleich von Taktfrequenzabweichungen ermöglicht, sowohl eine etwas größere als auch etwas kleinere Anzahl von Datenbits zu übertragen als eingangsseitig anfällt. Bei genauen Taktfrequenzen werden im Synchronisierwort drei Datenbits übertragen. Durch das Synchronisierwort werden jedoch die Wortgrenzen der Ausgangswörter um die Anzahl der im Synchronisierwort übertragenen Datenbits verschoben. Hierzu kann eine Anordnung verwendet werden, deren Prinzipschaltbild in Fig. 3 dargestellt ist.

Die Eingangswörter DB1, DB2, DB3, ... werden über einen Anordnungseingang EA und einen Datenbus abwechselnd in ein erstes Register R1 und ein zweites Register R2 eines Zwischenspeichers ZS eingeschrieben. Jedes Register weist eine der Anzahl der Bits eines Eingangswortes entsprechende Anzahl von Speicherstufen S0 bis S7 bzw. S8 bis S15 auf. An die Ausgänge A0 bis A15 sind die Eingänge einer Multiplexeinrichtung ME angeschlossen. Diese besteht aus acht Multiplexern MP1, MP2, ... mit jeweils 16 Eingängen. Jeweils acht aufeinanderfolgende Ausgänge der Register, beispielsweise A0 bis A7, werden gleichzeitig an die Multiplexerausgänge AM durchgeschaltet. Wird beispielsweise ein erstes Eingangswort DB1 vom Eingang der Schaltungsanordnung AE in das erste Register R1 eingeschrieben, so kann dies direkt von dessen Ausgängen A0 bis A7 an die Multiplexerausgänge AM durchgeschaltet werden. Das zweite Datenwort DB2 wird vom zweiten Register R2 an die Multiplexerausgänge weitergegeben. Soll nun ein erstes Synchronisierwort ausgesendet werden, so werden von dem beispielsweise in

das erste Register R1 eingespeicherten Eingangswort nur die ersten drei Bits als gültige Datenbits ausgesendet und die übrigen Datenbits können überschrieben werden. Durch das Stopfkennungswort SKW wird dem Empfänger mitgeteilt, wieviel Datenbits gültig sind, bzw. mit wieviel Bits in welcher Richtung gestopft wurde. Die Anordnung in der Sendeeinrichtung gewinnt die Information, ob gestopft werden soll, beispielsweise durch den Vergleich der Worttakte oder den Füllgrad eines Pufferspeichers.

Das Überschreiben der Datenbits und das Einblenden der Sonderinformation SI in das Synchronisierwort SB darf natürlich nicht vor oder innerhalb des Zwischenspeichers ZS erfolgen, sondern in einer nachgeschalteten Einrichtung. Die noch nicht als gültige Datenbits ausgesendeten in den Registern gespeicherten Datenbits müssen anschließend ausgesendet werden. Hierzu wird, wenn beispielsweise drei Datenbits innerhalb des Synchronisierwortes ausgesendet wurden, die Steueradresse für die Multiplexeinheit um drei erhöht, so daß anschließend die in den Speicherplätzen S3 bis S10 zwischengespeicherten Datenbits ausgesendet werden. Durch das Synchronisierwort wird also die Zuordnung zwischen den Eingangswörtern DB und den Ausgangswörtern OK stets geändert, es sei denn, es wird kein Datenbit übertragen oder sämtliche Zeitschlitze eines Synchronisierwortes sind mit Datenbits gefüllt. Die Speicherstufen der Register bilden funktionell betrachtet einen Ring, in dem sich die einzelnen Multiplexer MP1 - MP8 (Schalter) der Multiplexeinrichtung gesteuert von der Anzahl der Datenbits drehen.

In Fig. 4 ist eine vorteilhafte Ausbildung der Anordnung dargestellt. Der Datenbus BUS ist wiederum direkt mit dem zweiten Register R2 verbunden aber diesmal über ein weiteres Register R3 an das erste Register R1 geführt. Hierdurch kann eine einfachere Multiplexeinrichtung ME verwendet werden. So umfaßt der erste Multiplexer MP1 nur noch die Ausgänge A0 bis A7 des ersten Registers und der achte Multiplexer MP8 die Ausgänge A7 bis A14, wenn von den symbolisch als Schalter dargestellten Multiplexern ausgegangen wird. Eine entsprechende integrierte Schaltung weist zwar insgesamt ebenfalls 15 Eingänge aber wesentlich weniger Gatterfunktionen auf, da jeder Multiplexer MP1, MP2, ... nur acht verschiedene Eingänge auf seinen Ausgang durchzuschalten braucht. Bevor eine ausführbare Schaltung näher erläutert wird, soll zunächst auf die Funktion näher eingegangen werden.

Durch das weitere Register 3 wird erreicht, daß stets im zweiten Register R2 das aktuelle Eingangswort, beispielsweise DB2, gespeichert wird während im ersten Register R1 stets das vorangegangene Eingangswort, beispielsweise DB1, noch vorhanden ist.

Als Ausgangsdatenwort OK wird entweder ein im ersten Register gespeichertes Eingangswort ausgegeben oder eine Bitkombination, die sich aus einem oder mehreren Bits des im ersten Register gespeicherten Datenworts und einem Teil des im zweiten Register R2 gespeicherten aktuellen Eingangsworts zusammensetzt (auf eine Variante, bei der auch das im zweiten Register R2 gespeicherte Eingangsdatenwort als Ausgangsdatenwort übernommen wird, soll hier nicht eingegangen werden, da diese keine Vorteile bringt und nur einen zusätzlichen Eingang der Multiplexeinheit erforderlich macht).

In Fig. 7 sind zur Erläuterung des Verfahrens die in den Registern 1 und 2 gespeicherten Eingangswörter und die ausgesendeten Ausgangswörter dargestellt. Das

erste Eingangswort B1 besteht aus den Datenbits b11 bis b18; das zweite Eingangsdatenwort B2 aus den Datenbits b21 bis b28 usw.

In Fig. 7, Spalte a wird das im ersten Register eingespeicherte Eingangswort DB1 = b11 bis b18 als Ausgangswort OK1 direkt übernommen. Anschließend wird das im zweiten Register R2 bzw. im zusätzlichen Register R3 gespeicherte folgende Eingangswort DB2 = b21 bis b28 in das erste Register R1 übernommen und als Ausgangswort OK2 ausgesendet. Anschließend wird das dritte Eingangswort DB3 = b31 bis b38 in das erste Register R1 eingespeichert und das folgende Eingangswort DB4 = b41 bis b48 in das zweite Register R2. Es wird hier angenommen, daß bereits das Eingangsdatenwort DB3 mit dem auszusendenden Synchronisierwort SB zusammenfällt. Von dem Eingangswort DB3 sollen nur die ersten drei Datenbits b31, b32, b33 als gültige Bits übertragen werden. Die in den folgenden Zeitschlitzen des Synchronisierwortes SB zu übertragene Information ist nicht relevant. Infolgedessen werden nur die ersten drei Datenbits b31 bis b33 als gültige Information im zugehörigen Stopfkennungswort gekennzeichnet übertragen. Als weitere Bits können Leerstellen "x" übertragen werden aber auch weiterhin die Datenbits B34, B35, B36 und Sonderinformation SI, wobei die Leerstellen "X" und die Sonderinformation anstelle der Datenbits eingefügt sind. Das entsprechende Synchronisierwort SB = OK3 ist in Fig. 7 Spalte c dargestellt. Es entspricht nach dem Einfügen der Sonderinformation dem aus Fig. 2 bekannten Synchronisierwort SB1. Die Angabe, wieviel gültige Datenbits das Synchronisierwort enthält, wird - wie bereits erwähnt - im Stopfkennungswort SKB übertragen.

Als auf das Synchronisierwort folgende Ausgangswort OK4 müssen jetzt die folgenden acht Datenbits übertragen werden. Dies sind die Bits b34 bis b43. Hierzu wird die Steueradresse AU der Multiplexeinrichtung ME von Null auf drei erhöht und gespeichert. Der Einspeichertakt für die Register wird unterdrückt. Die Steueradresse gibt hier immer das erste Bit des Ausgangswortes an, steuert also direkt den ersten Multiplexer MP1, der den Ausgang A3 durchschaltet. Die weiteren Multiplexer sind so "verdrahtet", daß sie jeweils den nächsten Ausgang A4, A5, ... durchschalten. Es werden also die in den Speicherstufen S3 bis S10 gespeicherten Datenbits als nächstes Oktett ausgegeben. Die folgenden Ausgangsdatenwörter setzen sich stets aus denselben Anteilen der folgenden Eingangswörter zusammen bis in den nächsten Pulsrahmen ein weiteres Synchronisierwort SB2 übertragen werden soll, das diesmal nur zwei gültige Datenbits bc4, bc5 enthalten soll.

Nach der Übertragung des zweiten Synchronisierwortes SB2 wird die Steueradresse folglich um zwei auf fünf erhöht, so daß die folgenden Datenwörter (Spalte f) jeweils mit dem sechsten Bit des in dem Register R1 gespeicherten Eingangsdatenwort beginnen.

Wenn nach der Übertragung eines Synchronisierwortes die um 0 bis 6 erhöhte Steueradresse UA = 0 ... 7 für die Multiplexeinrichtung zur Übertragung des auf das Synchronisierwort folgende Ausgangswortes auch weiterhin eine Speicherstufe des ersten Registers anspricht, so darf der Inhalt der beiden Register R1 und R2 nicht verändert werden, da diese weitere gültige Daten enthalten. Wenn die Steueradresse jedoch größer wird, so daß das erste Bit des nächsten auszusendenden Ausgangswortes aus dem zweiten Register R2 entnommen werden kann, dann erfolgt eine Übernahme des im zweiten Register gespeicherten Eingangsworts in das erste

Register, eine Neueinspeicherung in das zweite Register und die Steueradresse für die Multiplexeinrichtung wird auf den entsprechenden Ausgang des ersten Registers abgestimmt. Dies erfolgt durch eine Modulo-m-Addition entsprechend der Anzahl der Bits $m = 8$ eines Eingangswortes, die in diesem Beispiel der Anzahl "n" der Bits der Ausgangswörter entspricht ($m = n = 8$). Bei dem Aussenden der Ausgangswörter, die keine Synchronwörter darstellen, bleibt die Adresse unverändert, da eine Modulo-m-Addition die Steueradresse nicht verändert; folglich muß eine solche Adressenberechnung auch nur bei Synchronisierwörtern durchgeführt werden.

Dieses Vorgehen entspricht der Erhöhung der Steueradresse um die Anzahl der ausgesendeten Bits und jeweils die Verringerung der Steueradresse um die Anzahl der Bits eines neu eingespeicherten Eingangswortes, durch daß ja auch das zwischengespeicherte Eingangswort in niederwertigere Speicherplätze des ersten Registers R1 verschoben werden.

In Fig. 5 ist das Prinzipschaltbild einer Variante der erfindungsgemäßen Anordnung mit einer geringeren Anzahl von Bauelementen dargestellt. Sie enthält zwei Register, wobei die Eingänge des ersten Registers R1 an die Ausgänge des zweiten Registers R2 angeschlossen sind. Die Ausgänge beider Register sind wiederum an die Multiplexeinrichtung ME geführt.

Außerdem ist stets eine Steuerung ST vorhanden, die die Steueradresse UA für die Multiplexeinrichtung liefert und das Einspeichern in die Register R1 und R2 steuert. Dies geschieht hier durch Freigeben oder Sperren eines Einspeichertaktes ET.

Über den Anordnungsingang EA werden den Registern R2 und R1 hintereinander die Eingangswörter DB zugeführt. Zeitgerecht hierzu erhält die Steuerung ST über einen Steuereingang SE eine Angabe über die Bitanzahl AB der zu übertragenden Datenbits je Ausgangswort, insbesondere bei den Synchronisierwörtern.

Die Sonderinformation SI wird zweckmäßigerweise nach der Multiplexeinrichtung in einer Einfügungseinrichtung EE, die als Multiplexer realisiert sein kann, eingefügt. Dies ist jedoch nicht Teil der Erfindung.

In Fig. 6 ist die Steuerung detailliert dargestellt. Sie enthält einen binären Addierer AD (0 bis 15), dessen drei niederwertigste Ausgänge über ein Addiererregister RA auf seinen zweiten Eingang E2 zurückgeführt werden. Außerdem wird seinem ersten Eingang, der dem Steuereingang SE entspricht die Bitanzahl AB 0 bis 8 der zu übertragenden Datenbits zugeführt. Diese werden zu der im Adressenregister eingespeicherten Adresse addiert und mit dem nächsten Worttakt wird das Ergebnis in das Adressenregister übernommen. Das Übertragsbit UB dient zur Freigabe bzw. zum Sperren des Einspeichertaktes ET über das Gatter GA, dem außerdem der Worttakt BT zugeführt wird. Die drei niederwertigsten Ausgänge des Addiererregisters liefern die Steueradresse UA für die Multiplexeinrichtung ME. Die Steueradresse bleibt unverändert, solange die Bitanzahl AB acht ist, also jeweils Ausgangswörter mit acht Bits übertragen werden. Das Übertragsbit wird stets gesetzt, wenn ein nur aus Datenbits bestehendes Ausgangswort ausgegeben wird. Bei der Aussendung eines Synchronisierwortes ist die Anzahl der Datenbits geringer, dann verändert sich die Steueradresse entsprechend. Ist sie kleiner als acht, dann wird der Einspeichertakt gesperrt, da sich noch mindestens ein noch auszusendendes Datenbit im ersten Register befindet.

Geht man im Gegensatz zu der bisherigen Annahme

davon aus, daß die Wortlängen der Eingangswörter und der Ausgangswörter unterschiedlich ist, so muß dies beim Aufbau der Anordnung und bei der Steuerung berücksichtigt werden. Wenn die Ausgangsdatenwörter eine geringere Breite als die Eingangsdatenwörter aufweisen, kann die beschriebene Anordnung unverändert verwendet werden.

Wenn dagegen die Ausgangswörter eine größere Breite als die Eingangsdatenwörter aufweisen, muß die Anzahl der Register R1 und R2 um mindestens eins erweitert werden, da ein Ausgangsdatenwort auch Teile von mehr als zwei Eingangsdatenwörtern enthalten kann. Da jetzt auch mehr Eingangswörter in den Zwischenspeicher eingeschrieben werden als Ausgangswörter ausgegeben werden, muß die Steuerung entsprechend erweitert werden.

Patentansprüche

1. Verfahren zur Anpassung der Datenraten von Eingangswörtern (DB) und Ausgangswörtern (OK) bei wortweiser Verarbeitung durch Stopfen, wobei ein Stopfkennungswort (SKB) zur Kennzeichnung der Stopfinformation dient, **dadurch gekennzeichnet,**

daß jeweils mindestens zwei Eingangswörter (DB1, DB2) zwischengespeichert werden,

daß jeweils ein Ausgangswort (OK1, OK2) aus aufeinanderfolgenden Bits (b11 bis b18; b21 bis b28, ... b34 bis b43, ...) der zwischengespeicherten Eingangswörter (DB1, DB2) oder eines dieser Eingangswörter (DB1) gebildet wird,

daß ein Synchronisierwort (SB) zur Übertragung einer unterschiedlichen Anzahl (AB) von gültigen Datenbits (b31, b32, b33, ...) gebildet wird,

daß abhängig von der Größe einer Abweichung zwischen den Datenraten die Anzahl der gültigen Datenbits (b31, b32, b33, ...) des Synchronisierwortes (SB) um ein gültiges Datenbit (b33, b34) oder mehrere gültige Datenbits (b32, b33; b34, b35, b36) verringert oder vergrößert wird

und daß das nachfolgende Ausgangswort (OK4) aus den folgenden Datenbits (b34 bis b38 und b41, b42, b43) der Eingangswörter (DB3, DB4) gebildet wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß jeweils das aktuelle Eingangswort (DB2) und das vorangegangene Eingangswort (DB1) in dieselben Register (R2, R1) eingespeichert werden und daß die Berechnung einer Steueradresse (AU) zur Durchschaltung eines Ausgangswortes (OK) entsprechend Modul-m erfolgt, wobei "m" der Anzahl der gültigen Datenbits eines Eingangswortes (DB) entspricht.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß zusätzlich Sonderinformation (SI) in dem Synchronisierwort (SB) übertragen werden.

4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß Ausgangsdatenwörter (OK) von der Breite ($n = m = 8$) der Eingangswörter (DB) übertragen werden.

5. Anordnung zur Anpassung der Datenraten durch Stopfen bei wortweiser Verarbeitung, dadurch gekennzeichnet,

daß ein Zwischenspeicher (ZS) mit mindestens zwei Registern (R1, R2) vorgesehen ist, in denen jeweils zwei aufeinanderfolgende Eingangswörter (DB1,

DB2) gespeichert werden.

daß Ausgänge (A0 bis A15) des Zwischenspeichers (ZS) an eine Multiplexeinrichtung (ME) geführt sind, die jeweils n aufeinanderfolgende Bits (b11 bis b18) der zwischengespeicherten Eingangswörter (DB1, DB2) an einen Multiplexausgang (MA) durchschaltet.

daß eine Steuerung (ST) mit einem Modulo-Addierer (AD) vorgesehen ist, dem die Anzahl der gültigen Datenbits (b11, b12, ...; b31, b32, b33, ...) eines Ausgangswortes (OK1, OK2), das auch ein Synchronisierwort (SB) sein kann, zugeführt wird, die die Multiplexeinrichtung (ME) und die Einspeicherung neuer Eingangswörter (DB3, DB4, ...) steuert.

6. Anordnung der Datenraten durch Stopfen bei wortweiser Verarbeitung, dadurch gekennzeichnet, daß ein Zwischenspeicher (ZS) mit mindestens zwei Registern (R1, R2) vorgesehen ist, in denen jeweils mindestens zwei Eingangswörter (DB1, DB2, ...) gespeichert werden, wovon das älteste jeweils im selben Register (R1) gespeichert wird.

daß die Ausgänge (A0 bis A14) des Zwischenspeichers (ZS) an eine Multiplexeinrichtung (ME) geführt werden, die jeweils n(8) aufeinanderfolgende Bits (b11 bis b18; b34 bis b43) eines oder mehrerer zwischengespeicherter Eingangswörter (DB1, DB2, DB3, DB4) an einen Multiplexerausgang (A7) durchschaltet, daß eine Steuerung (ST) mit einem Modulo-m-Addierer (AD) vorgesehen ist, dem die Anzahl der gültigen Datenbits (b11, b12, ...) eines Ausgangswortes (OK1, OK2), das auch ein Synchronisierwort (SB) sein kann, zugeführt wird und dadurch die Multiplexeinrichtung (ME) so steuert, daß das erste Bit eines Ausgangswortes (OK1, OK2, OK3) stets aus dem ersten Register (R1) entnommen wird.

7. Anordnung der Datenraten durch Stopfen bei wortweiser Verarbeitung nach Anspruch 6, dadurch gekennzeichnet, daß eine Gatterschaltung (GA) vorgesehen ist, über die der Einspeichertakt (ET) gesperrt wird, wenn die Summe am Ausgang des Addierers (AD) kleiner als m(8) ist.

8. Anordnung der Datenraten durch Stopfen bei wortweiser Verarbeitung nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, daß der Multiplexeinrichtung (ME) eine Einfügungseinrichtung (EE) zum Einfügen von Zusatzinformation (SI) in das Synchronisierwort (SB) nachgeschaltet ist.

9. Anordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Register (R1, R2) jeweils acht Speicherplätze (S0 bis S7, S8 bis S15) umfassen und die Multiplexereinheit (ME) acht Ausgangsanschlüsse aufweist.

10. Anordnung nach Anspruch 5, dadurch gekennzeichnet, daß bei kleinerer Wortbreite der Eingangswörter (DE) gegenüber den Ausgangswörtern (OK) die Steuerung (ST) so modifiziert ist, daß sie mit jedem in die Register (R1, R2, R3, ...) eingespeicherten Eingangswort (DB) die Steueradresse (UA) um jeweils die Anzahl der Bits eines Registers (R1) verringert.

Hierzu 5 Seite(n) Zeichnungen

FIG 1

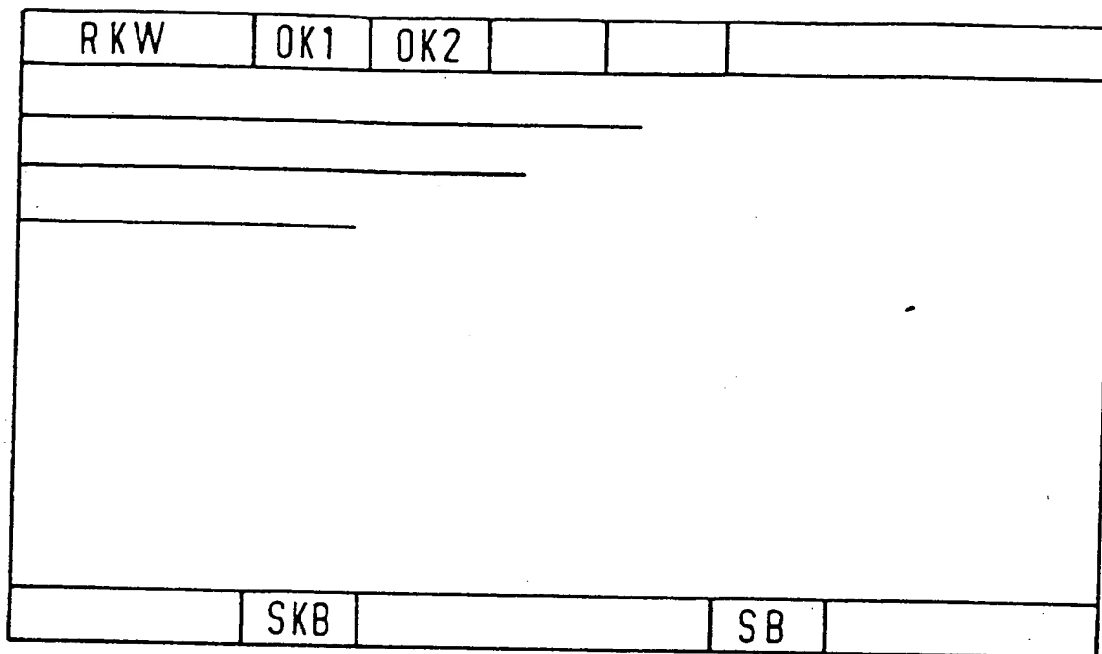
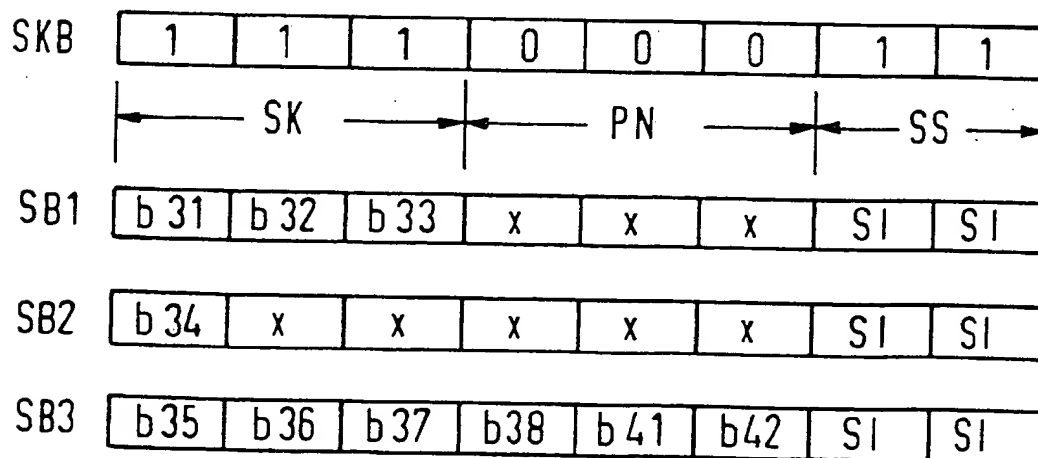


FIG 2



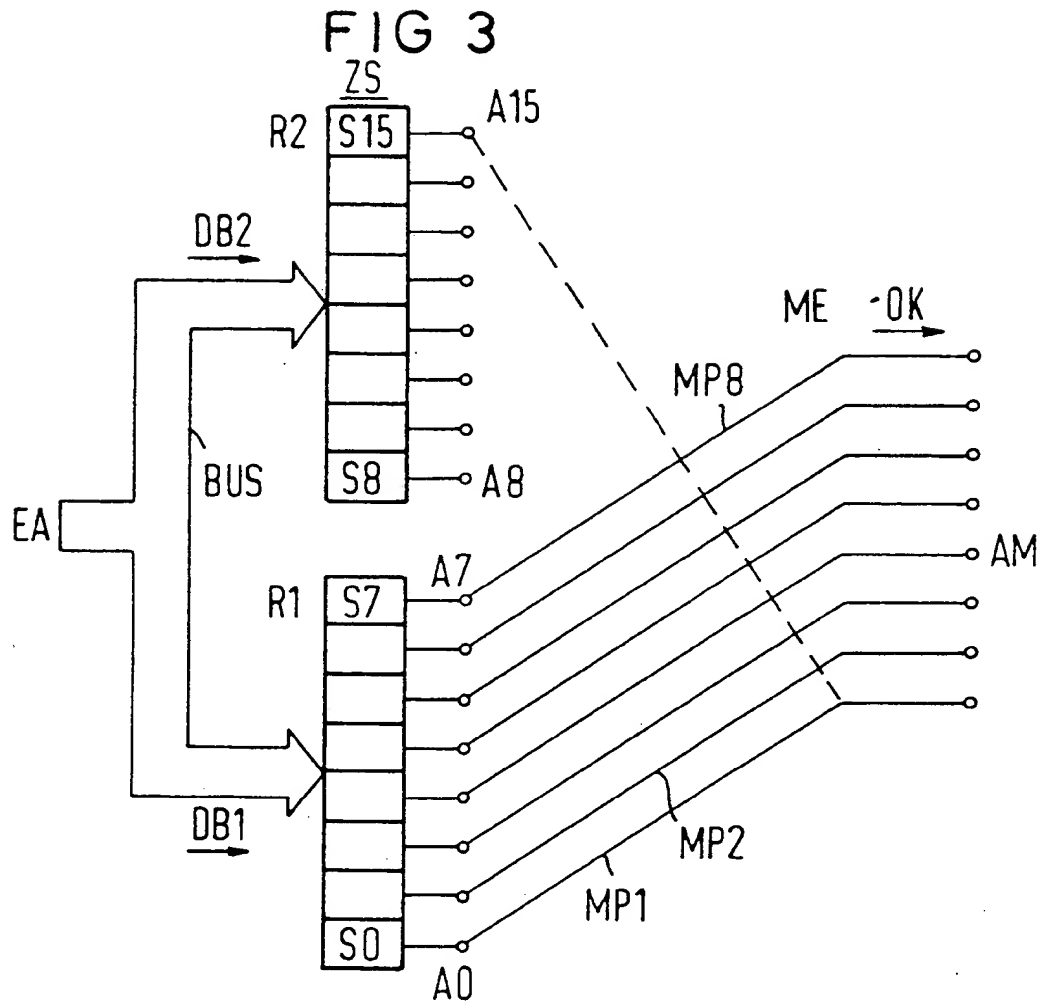


FIG 4

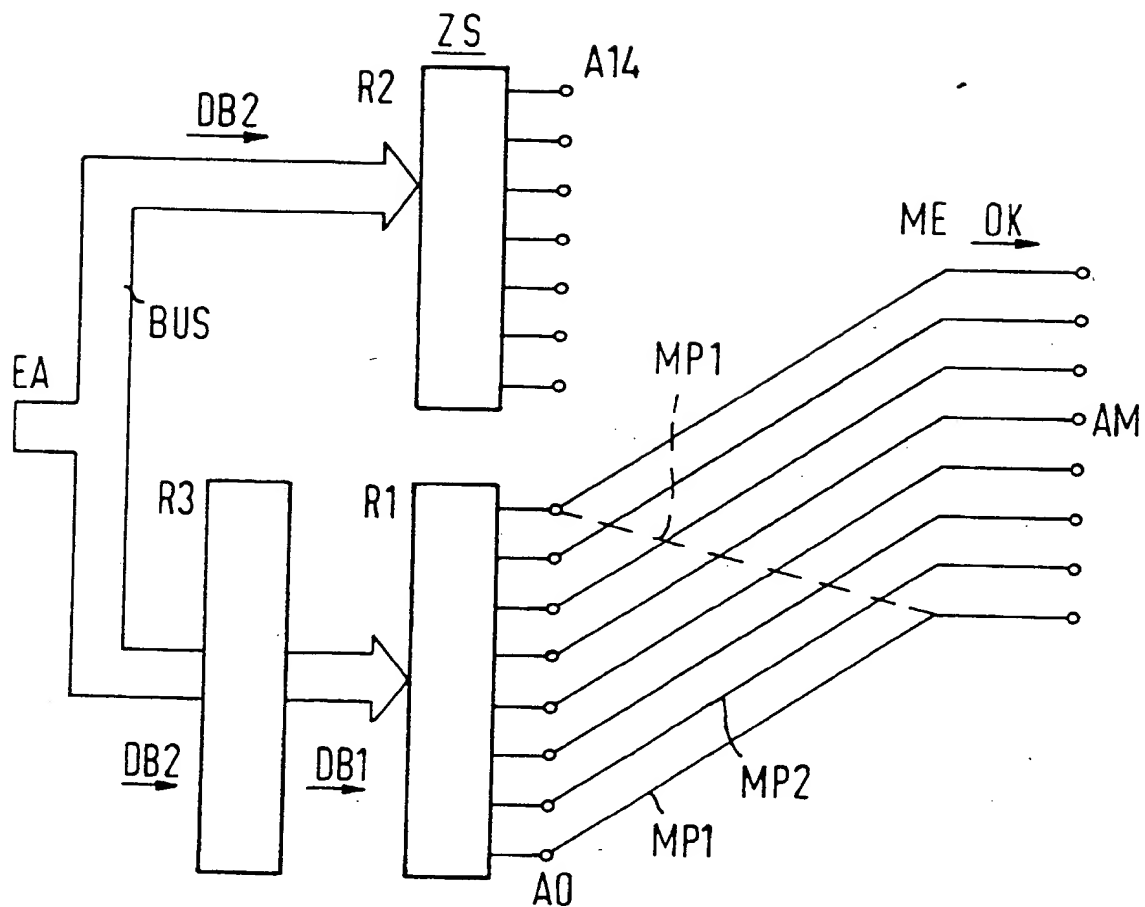


FIG 5

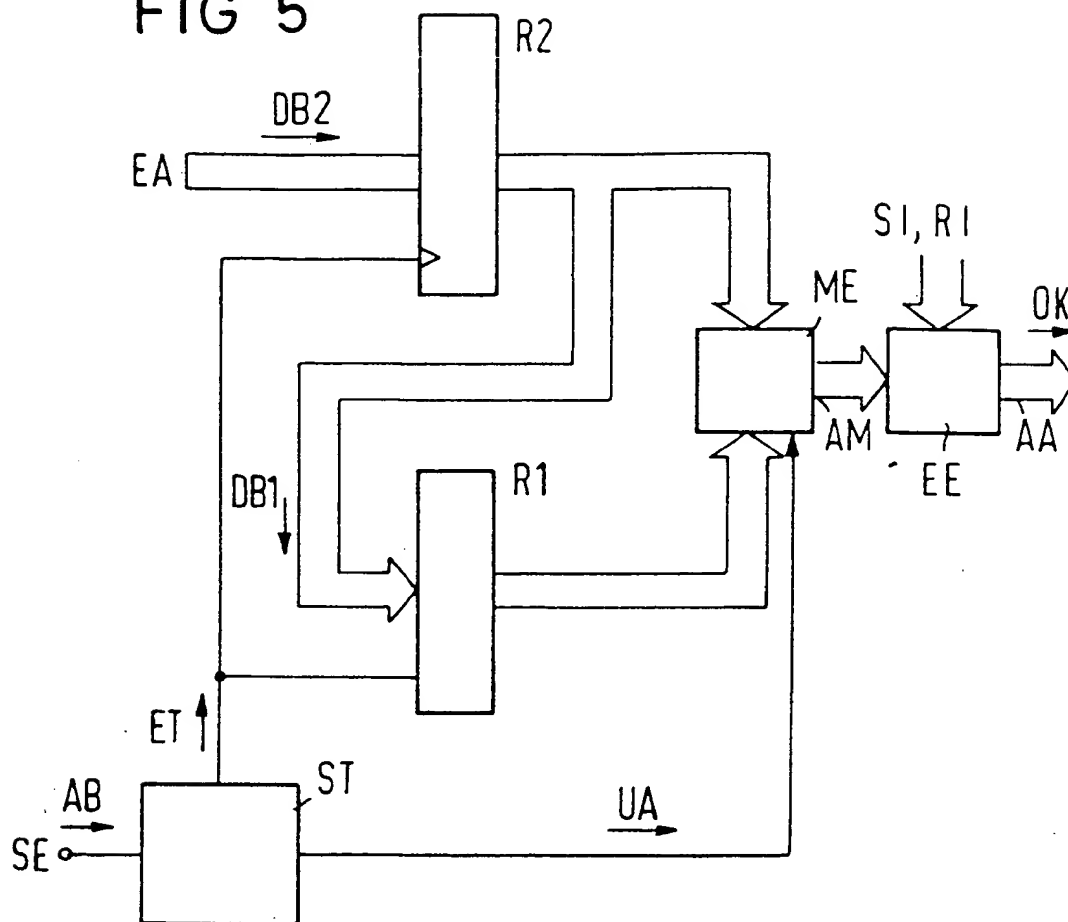


FIG 6

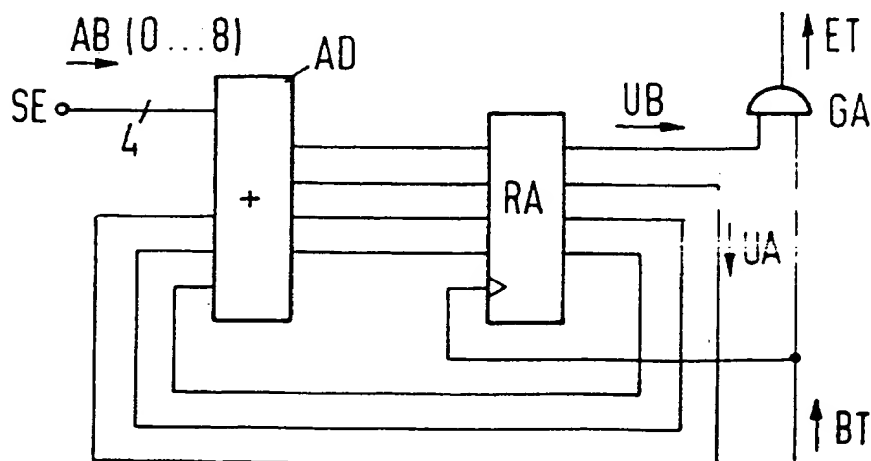


FIG 7

R 2(3)

S 15	b 2 8	b 3 8	b 4 8	b 4 8	b d 8	b d 8
S 14	b 2 7	b 3 7	b 4 7	b 4 7	b d 7	b d 7
S 13	b 2 6	b 3 6	b 4 6	b 4 6	b d 6	b d 6
S 12	b 2 5	b 3 5	b 4 5	b 4 5	b d 5	b d 5
S 11	b 2 4	b 3 4	b 4 4	b 4 4	b d 4	b d 4
S 10	b 2 3	b 3 3	b 4 3	b 4 3	b d 3	b d 3
S 09	b 2 2	b 3 2	b 4 2	b 4 2	b d 2	b d 2
S 08	b 2 1	b 3 1	b 4 1	b 4 1.....	b d 1	b d 1

R 1

S 7	b 1 8	b 2 8	b 3 8	b 3 8	b c 8	b c 8
S 6	b 1 7	b 2 7	b 3 7	b 3 7	b c 7	b c 7
S 5	b 1 6	b 2 6	b 3 6	b 3 6	b c 6	b c 6
S 4	b 1 5	b 2 5	b 3 5	b 3 5	b c 5	b c 5
S 3	b 1 4	b 2 4	b 3 4	b 3 4	b c 4	b c 4
S 2	b 1 3	b 2 3	b 3 3	b 3 3	b c 3	b c 3
S 1	b 1 2	b 2 2	b 3 2	b 3 2	b c 2	b c 2
S 0	b 1 1	b 2 1	b 3 1	b 3 1.....	b c 1	b c 1

OK

OK 1

OK 2

OK 3

OK 4

OK 5

OK 6

→

→

→

→

→

→

→

b 1 8	b 2 8	X	b 4 3	X	b d 5
b 1 7	b 2 7	X	b 4 2	X	b d 4
b 1 6	b 2 6	X	b 4 1	X	b d 3
b 1 5	b 2 5	X	b 3 8	X	b d 2
b 1 4	b 2 4	X	b 3 7	X	b d 1
b 1 3	b 2 3	b 3 3	b 3 6	X	b c 8
b 1 2	b 2 2	b 3 2	b 3 5	b c 5	b c 7
b 1 1	b 2 1	b 3 1	b 3 4.....	b c 4	b c 6

a

b

c

d

e

f